



描述

HR4982是一种便于使用的内部集成了译码器的微特步进电机驱动器。其设计为使双极步进电机以全、1/8、1/16步进模式工作。步进模式由逻辑输入MSx选择。输出驱动能力达到38V和±2A。HR4982包含一个工作在慢衰或混合衰减模式的固定衰减时间的电流调节器。

译码器是HR4982易于使用的关键。管脚STEP简单的输入一个脉冲就可以使电机完成一次步进，省去了相序表、高频控制线及复杂的编程接口。这使其更适于在没有复杂的微处理器或微处理器负担过重的场合。

在步进操作期间，HR4982的内部电路可以自动的控制其PWM操作工作在快、慢及混合衰减模式。在混合衰减模式下，器件初始经过一段时间的快衰减后，将切换至慢衰减模式直至固定衰减时间结束。混合衰减模式控制

不但降低了电机工作时产生的噪声，还增加了步进的准确性，同时减小了系统的功耗。

内部的同步整流控制电路改善了PWM操作时的功耗。内部保护电路包括：带迟滞额过热保护、欠压锁定及过流保护。不需要特别的上电时序。

HR4982提供一种带有裸露焊盘的TSSOP24封装，能有效改善散热性能，且是无铅产品，引脚框采用100%无锡电镀。

特点

- 低导通电阻 $R_{DS(ON)}$
- 自动检测并选择电流衰减模式
- 支持慢衰减和混合衰减模式
- 降低功耗的同步整流功能
- 内部欠压锁定
- 过流保护
- 兼容3.3V和5V逻辑电平
- 过热关断电路
- 对地短路保护
- 负载短路保护
- 最高支持16细分

封装形式

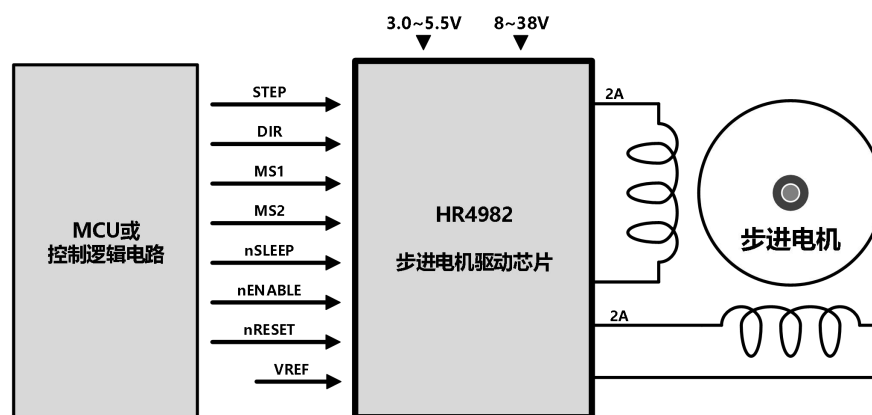


TSSOP24 with exposed thermal pad

型号选择

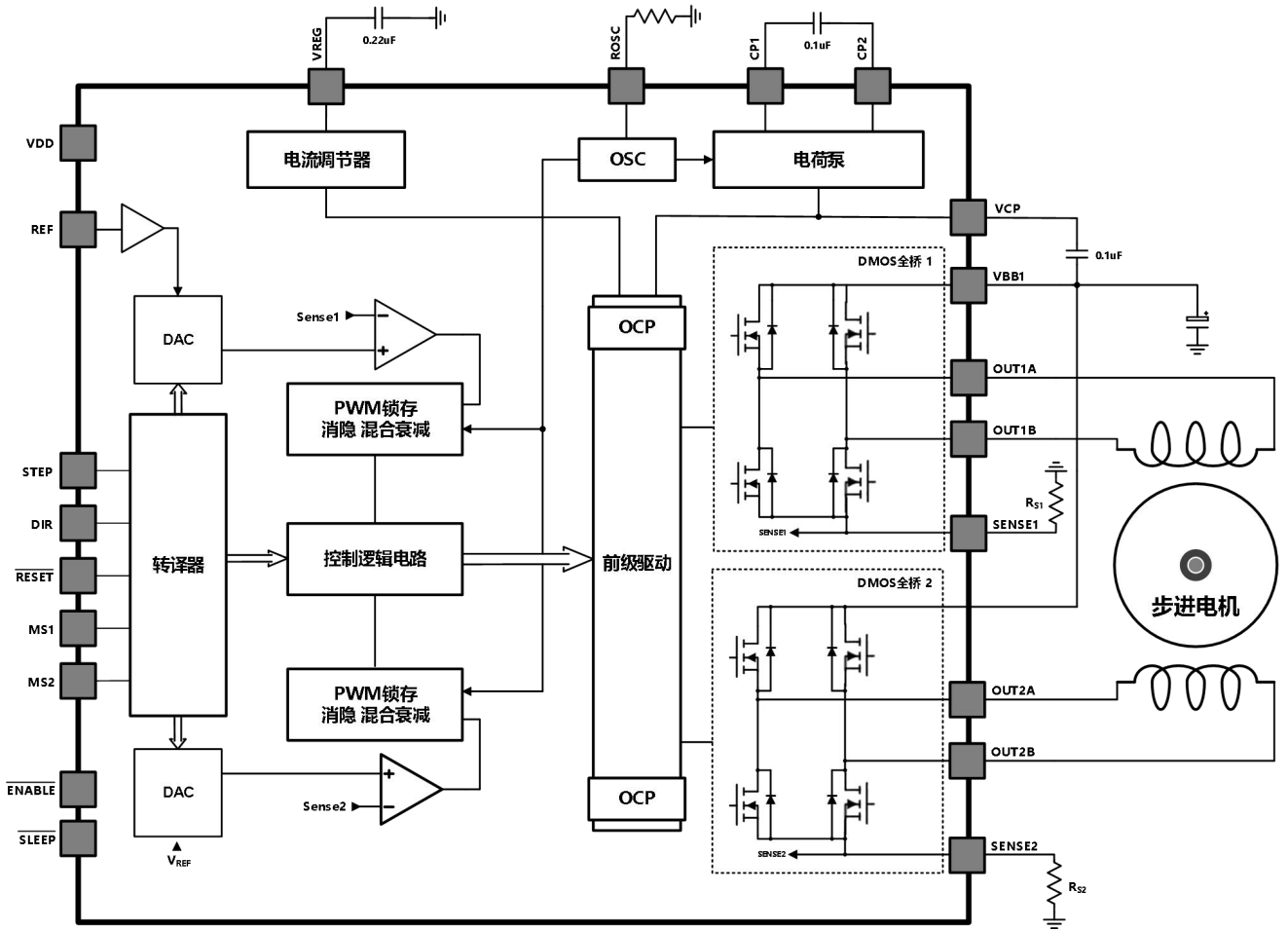
Part Number	Package	Packing
HR4982MTE	TSSOP24 with exposed thermal pad	2500/reel

典型应用原理图





功能模块图





电路工作极限 at Ta = 25°C

Parameter	Symbol	Conditions	Ratings	Unit
Load Supply Voltage	V _{BB}		40	V
Output Current	I _{OUT}		±2	A
Logic Input voltage	V _{IN}		-0.3 to 5.5	V
Logic Supply voltage	V _{DD}		-0.3 to 5.5	V
Motor Output Voltage			-2.0 to 37	V
Sense Voltage	V _{SENSE}		-0.5 to 0.5	V
Reference Voltage	V _{REF}		5.5	V
Operating Ambient Temperature	T _A	Range S	-20 to 85	°C
Maximum Junction	T _{J(max)}		150	°C
Storage Temperature	T _{stg}		-55 to 150	°C

推荐工作条件 at Ta = 25°C

		Min	NOM	Max	Unit
负载供电电压	V _{BB}	8	-	38	V
逻辑供电电压	V _{CC}	3	-	5.5	V
输出电流设置	I _{OUT}	0		2	A

推荐外围设置

- 1、ROSC: 必要时, 根据自身电机和应用控制频率选择合适的 ROSC 对地电阻, 选择电流上升慢衰, 下降混合衰, 使电机电流纹波最小。
 $t_{OFF} \cong R_{OSC}/825$, t_{OFF} 单位为 us。
16 细分应用可建议直接接地, 选择全混合衰减, $t_{OFF} \cong 30\mu s$ 。

- 2、CP 电容: 0.1uF/50V
- 3、VCP 电容: 0.1uF/50V
- 4、VREG 电容: 0.22uF/16V
- 5、VREF 参考电压设置, 0.8V – 3V。
- 6、RSENSE 电阻, 根据 REF 和目标电流合理设置

$$I_{Trip\ MAX} = VREF / (8 \times R_s)$$

根据目标电流, 合理选择 R_{sense} 电阻和 V_{ref} 参考电压, 使得 V_{sense}=I_{max}*R_{sense} 在 0.35V—0.45V 之间, 然后根据 V_{ref}=8*V_{sense} 选择参考电压输入。

电特性 at $T_a = 25^\circ\text{C}$, $V_{BB} = 24\text{V}$

Parameter	Symbol	Conditions	Min	Typ ²	Max	Unit
Output Drivers						
负载电源供电范围	V_{BB}	Operating	8	-	38	V
逻辑电源供电范围	V_{DD}	Operating	3.0	-	5.5	V
输出导通电阻	$R_{DS(ON)}$	Source Driver, $I_{OUT} = -1.5\text{A}$		320	430	m Ω
		Sink Driver, $I_{OUT} = 1.5\text{A}$		320	430	m Ω
体二极管正向压降	V_F	Source Diode, $I_F = -1.5\text{A}$			1.2	V
		Sink Diode, $I_F = 1.5\text{A}$			1.2	V
负载电源静态功耗	I_{BB}	$f_{PWM} < 50\text{kHz}$			4	mA
		Operating, outputs disabled			2	mA
逻辑电源静态功耗	I_{DD}	$f_{PWM} < 50\text{kHz}$			8	mA
		Operating, outputs disabled			5	mA
Control Logic						
逻辑输入电平	$V_{IN(1)}$		$V_{DD} * 0.7$			V
	$V_{IN(0)}$				$V_{DD} * 0.3$	V
逻辑输入电流	$I_{IN(1)}$	$V_{IN} = V_{DD} * 0.7$	-20	<1.0	20	μA
	$I_{IN(0)}$	$V_{IN} = V_{DD} * 0.3$	-20	<1.0	20	μA
细分选择管脚	R_{MS1}		-	33		k Ω
	R_{MS2}		-	100	-	k Ω
逻辑输入迟滞	$V_{HYS(IN)}$	As a % of V_{DD}	5	11	19	%
消隐时间	t_{BLANK}		0.7	1	1.3	μs
固定衰减时间	t_{OFF}	OSC= V_{DD} or GND	20	30	40	μs
		$R_{OSC} = 25\text{k}\Omega$	23	30	37	μs
参考电压范围	V_{REF}		0.5	-	4	V
参考输入电流	I_{REF}		-3	0	3	μA
输出电流失调	err1	$V_{REF} = 2\text{V}, \%I_{TripMAX} = 38.27\%$	-	-	± 15	%
		$V_{REF} = 2\text{V}, \%I_{TripMAX} = 70.71\%$	-	-	± 5	%
		$V_{REF} = 2\text{V}, \%I_{TripMAX} = 100\%$	-	-	± 5	%
死区时间	t_{DT}		100	475	800	ns
Protection						
过流保护	I_{OCPST}		3	-	-	A
过温关断	T_{TSD}		-	165	-	$^\circ\text{C}$
过温迟滞	T_{TSDHYS}		-	15	-	$^\circ\text{C}$
VDD 欠压锁定	V_{DDUVLO}	V_{DD} rising	2.7	2.8	2.9	V
VDD 欠压迟滞	$V_{DDUVLOHY}$		-	90	-	mV

¹对于输入/输出电流，我们将从指定器件引脚流出的电流定义为负电流。

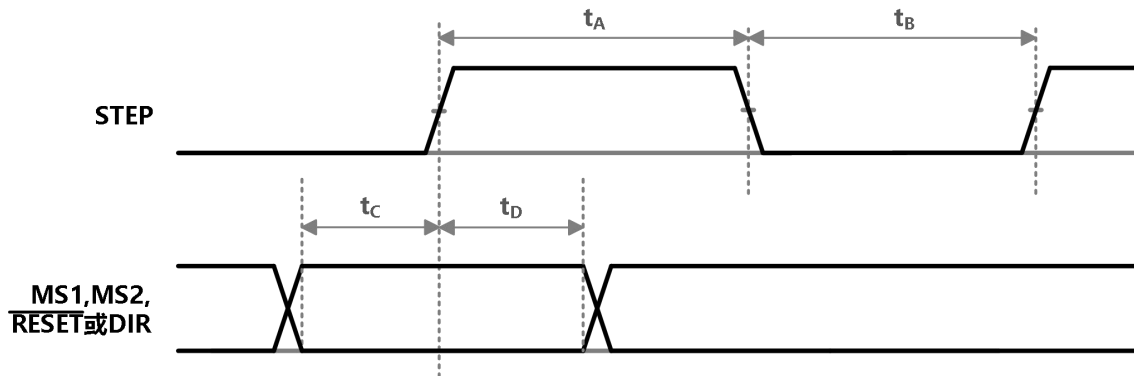
²典型数据仅是在最佳制造和应用的假设条件下的数值，仅供初步设计概算使用。对于个体芯片，性能可能有所不同，均在最大值和最小值间。

$$^3V_{ERR} = [(V_{REF}/8) - V_{SENSE}] / (V_{REF}/8).$$

4 过流保护(OCP) 门限值是指在 $T_A = 25^\circ\text{C}$ 下能够保证性能的值



电路控制信号时序上的要求:

(T_A = +25°C, V_{DD} = 5 V, 逻辑电平为V_{DD} 或 GND)

持续时间	符号	典型值	单位
STEP最小有效脉宽 (高电平)	t_A	1	us
STEP最小有效脉宽 (低电平)	t_B	1	us
建立时间 (输入变化先于 STEP 有效沿)	t_C	200	ns
保持时间 (输入变化后于 STEP 有效沿)	t_D	200	ns

逻辑接口时序图表

MS1	MS2	微步分辨率	激励模式
0	0	Full Step	2 Phase
1	0	1/8 Step	2W1-2 Phase
1	1	1/16 Step	4W1-2 Phase

微步进分辨率真值表

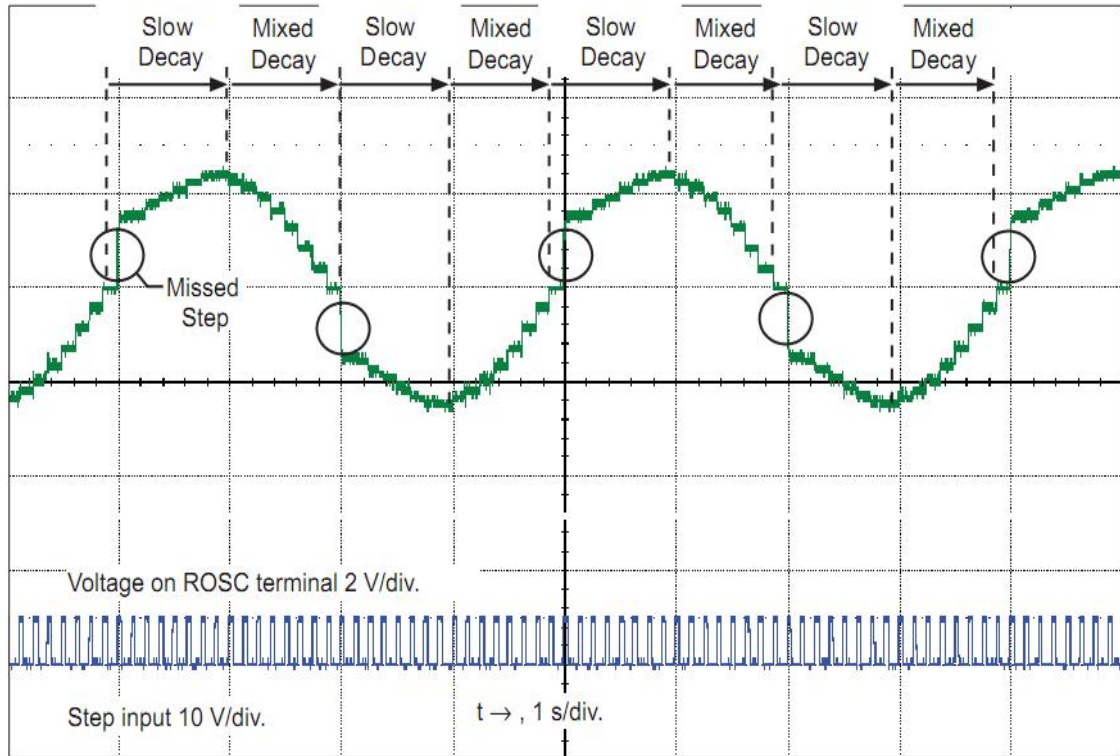


Figure 2. Missed steps in low-speed microstepping

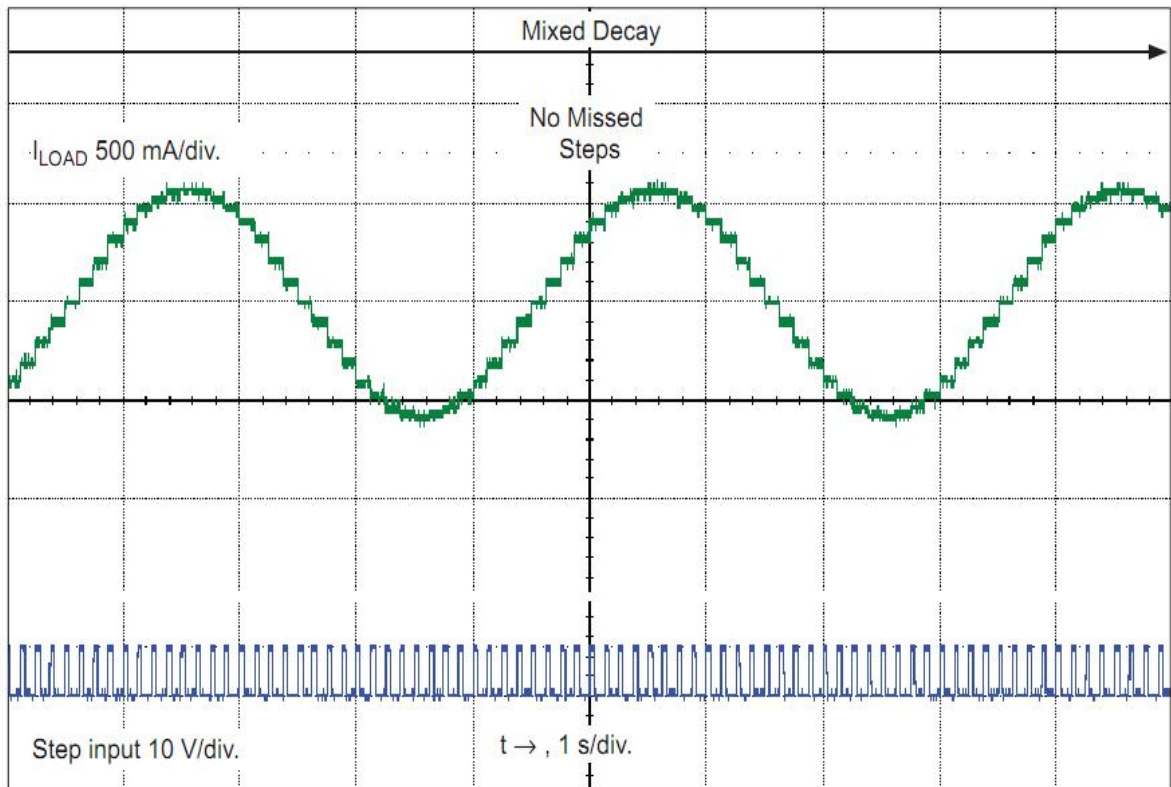


Figure 3. Continuous stepping using automatically-selected mixed stepping (ROSC pin grounded)



模块功能描述

器件工作：HR4982是一种便于使用的内部集成了译码器的微特步进电机驱动器,只需少量的控制线。其设计能够让双极步进电机以全、1/8、1/16步进工作。每一个H桥都有一个有固定衰减时间的PWM电流控制电路,以限制其N沟道DMOS功率管的负载电流在一个设计值。每个步进的全桥输出电流是由外部检流电阻(RS1和RS2)的值,参考电压(V_{REF})和DAC(依次由译码器的输出控制)的输出电压来设定。

在上电或复位时,译码器将DAC和相电流的极性设为初始的Home状态,且两相的电流调节器均工作在混合衰减模式。当一个步进信号进入STEP端口,译码器自动将DAC排序进入下一电平和电流极性。(表2给出了电流台阶顺序)。微步细分精度由MS1、MS2输入组合确定,如表1所示。

当步进进行时,如果DAC的输出电平低于前一个输出电平,则当前的H全桥进入混合衰减模式。如果DAC输出电平高于或者等于前一个电平,则当前的H全桥进入慢衰减模式。自动的电流衰减选择通过减小电流波形失真改善了微步进性能,其产生原因是电机的反电动势。

微步进选择(MS1、MS2)：微步细分精度由MS1、MS2逻辑输入电压确定,如表1所示。MSx均有下拉电阻。当改变步进模式时,直到下一个STEP的上升沿才起作用。

如果步进模式改变,而译码器没有复位,其绝对位置必须要保持。为了防止丢步,选择一个适用于所有步进模式的步进位置,再去改变步进模式,这点很重要。当器件断电或者由于过温重启或过流时,译码器被置于home位置,这是所有步进模式默认的共同位置。

混合衰减操作：当上电复位后正常工作时,根据ROSC的配置和步进顺序,H桥工作于混合衰减模式。在混合衰减期间,当达到预定值时,HR4982初始进入快衰模式,快衰减时间占固定衰减时间 t_{OFF} 的31.25%。其后转为慢衰减直至固定衰减时间结束。时序框图在图7中呈现。

一般混合衰减只是在绕组中的电流从一个高的值变为一个低的值时需要,由译码器的设置决定。对大多数负载来说,混合衰减模式的自动选择很便利,

因为能够减小电流上升时的纹波和防止电流下降时的丢步。特别是在一些非常低速的微步进应用中十分必要,绕组中反电动势的不足造成负载中的电流增加很快,导致丢步。如图2所示。通过将ROSC管脚接地,混合衰减在100%的时间内起作用,无论电流上升或者下降,同时防止丢步,如图3所示。如果不存在丢步问题,也推荐使用自动选择混合衰减模式,因为其会减小电流纹波。详细描述请参考固定衰减时间一节。

低电流微步进：在某些应用中,过短的导通时间使得输出电流无法调节到程序设定的低电流水平。为了防止这种现象,器件可以在电流波形的上升和下降两个方向都工作在混合衰减模式。这是通过将ROSC管脚接地实现的。

复位输入(nRESET)：RESET输入(低电平有效)使得TRANSLATOR恢复初始状态,关断所有DMOS输出,此时STEP输入无效,直到RESET重新变为高电平为止。

STEP输入：STEP信号上升沿触发有效,通过TRANSLATOR控制,每个STEP上升沿触发使得电机有一个步进的变化。TRANSLATOR控制DAC的输入和流过线圈的电流方向;每一步进的电流大小和转动角度由MS1、MS2输入逻辑电平控制。

方向控制(DIR)：DIR输入控制马达的转动方向,在STEP信号上升沿触发到来之前,任何DIR上的变动都对电路不产生影响。

内部PWM电流控制：每一个H桥都有一个有固定衰减时间的PWM电流控制电路,以限制其负载电流在一个设计值, I_{TRIP} 。初始时,对角线上的一对DMOS(一对上下桥臂)处于输出状态,电流流经电机绕组和SENSE脚所接的电流取样电阻, R_{Sx} 。当取样电阻上的电压等于DAC的输出电压时,电流取样比较器将PWM锁存器锁定,从而关断源驱动器(上桥臂),进入慢衰减模式;或同时关断源驱动器和灌流驱动器(上下桥臂)进入快或混合衰减模式,使产生环流或电流回流至源端。该环流或回流将持续衰减至固定衰减时间结束为止。然后,正确的输出桥臂被再次启动,电机绕组电流再次增加,整个PWM循环完成。其中,最大限流是由取样电阻 R_{Sx} 和电流取样比较器的输入



电平 VREF 控制的， $I_{\text{TripMAX}}(A)$ 由下式决定：

$$I_{\text{TripMAX}} = V_{\text{REF}} / (8 \times R_s)$$

每步的实际电流为最大电流的百分比，近似为：

$$I_{\text{Tip}} = (\%I_{\text{Tip Max}} / 100) I_{\text{Trip Max}}$$

（表 2 给出了每步的最大电流百分比）

注意：SENSE 脚上的最大电压不能超过 0.5V。

固定衰减时间 t_{off} ：内部 PWM 控制电路是利用单触发电路来控制 DMOS 的剩余衰减时间。固定衰减时间 t_{off} 是由 ROSC 引脚决定的。ROSC 引脚有三种设置，即：

- ROSC 接 VDD—衰减时间内部设为 30us，电流上升为慢衰减，电流下降为混合衰减模式，全步模式下为慢衰减模式。

- ROSC 接地—衰减时间初始设为 30us，对所有模式的电流上升和下降，衰减模式自动选择为混合衰减模式。

- ROSC 接对地的电阻—衰减时间由下面的公式决定，电流上升为慢衰减，电流下降为混合衰减模式，全步模式下为慢衰减模式。

$$t_{\text{off}} \cong R_{\text{osc}} / 825$$

t_{off} 单位为 us。

消隐(Blanking)：当输出在内部电流控制电路作用下开关时，该功能屏蔽电流检测比较器的输出，防止由于钳位二极管反向恢复电流，以及负载电容的开关瞬态电流导致的错误的过流检测。消隐时间， $t_{\text{BLANK}}(\text{us})$ ，近似为 1us。

电荷泵 (CP1 和 CP2)：电荷泵用来生成一个高于 VBB 的电压，去驱动源 DMOS 的栅极。一个 0.1uF 的陶瓷电容接在 CP1、CP2 之间，实现电荷泵的目的。一个 0.1uF 陶瓷电容接在 VCP、VBB 之间，用来存储电荷，去驱动源 DMOS 器件。

电容值需为 Class2 介质，±15% 最大波动或者耐压 R 级，根据 EIA。

VREG：电路内部产生的基准电压，用于低端门级驱动的 DMOS 电源。正常工作时，VREG 电压为 5.5V。VREG 外部必须通过一个

0.22uF 电容耦合到地。VREG 作为内部电路的一个监视器，当内部 VREG 没有正常工作时，DMOS 器件输出被禁止。

使能输入 (nENABLE)：该输入控制所有 FET 输出的开关。当其为逻辑高电平时，输出关断。当其为逻辑低电平时，内部控制使能起作用。译码器输入 STEP, DIR, MS1、MS2，以及内部时序逻辑，全部有效，独立于 nENABLE 输入。

SHUTDOWN 关断：当电路发生过温保护或者发生 VCP 的欠压闭锁时，SHUTDOWN 功能正常工作，此时电路的正常功能被禁止，直到电路脱离 SHUTDOWN 条件。在电路上电过程中，VDD 电压还没有达到电压阈值时，VDD 的欠压闭锁电路使输出 DMOS 电路全部关断，输出被设置为 HOME 状态。

休眠模式 (nSLEEP)：当 SLEEP 引脚输入为低电平时，器件将进入休眠模式，从而大大降低器件空闲的功耗。进入休眠模式后器件的大部分内部电路包括 DMOS 输出电路、调节器及电荷泵等都将停止工作。当其输入翻转为高电平时，系统恢复到正常的操作状态并将器件的输出预置到 HOME 状态，为了内部电荷泵恢复稳定工作，在 SLEEP 恢复高电平并延时 1ms 后 STEP 信号才能起作用。

混合衰减操作：当上电复位后正常工作时，根据 ROSC 的配置和步进顺序，H 桥工作于混合衰减模式。在混合衰减期间，当达到预定值时，HR4982 初始进入快衰模式，快衰减时间占固定衰减时间 t_{off} 的 31.25%。其后转为慢衰直至固定衰减时间结束。时序框图在下页图中呈现。

同步整流：在电流衰减期间，同步整流功能打开对应的 FET 由于 FET 的导通电阻低，有效的使体二极管短路。这样有效的降低了功耗，同时，在很多应用场合，省去了外置肖特基二极管。当负载电流接近 0 时，同步整流关闭，这样防止负载电流反向。

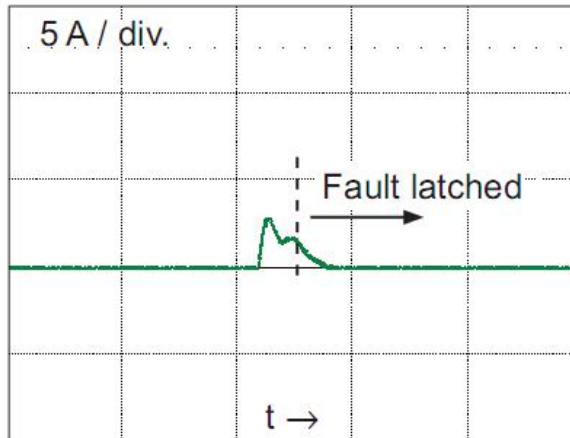


Figure 4. Short-to-ground event

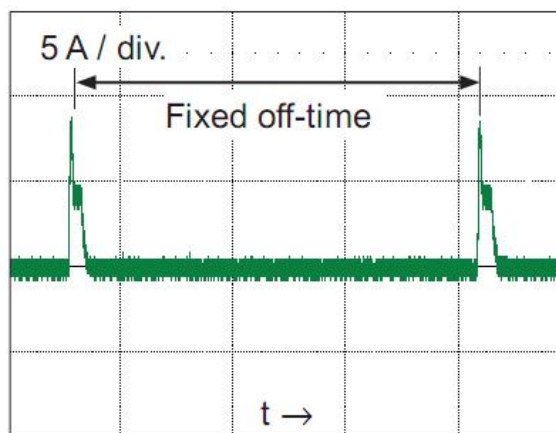


Figure 5. Shorted load (OUTxA → OUTxB) in Slow decay mode

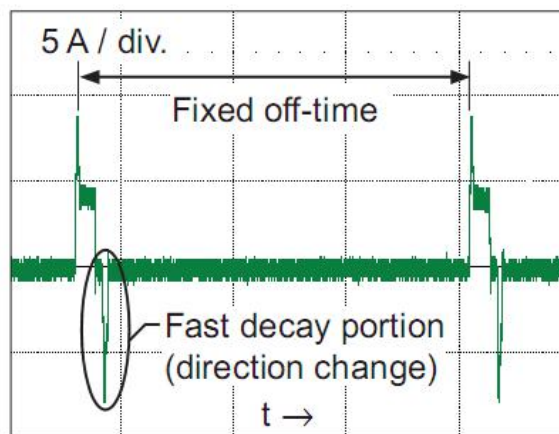


Figure 6. Shorted load (OUTxA → OUTxB) in Mixed decay mode

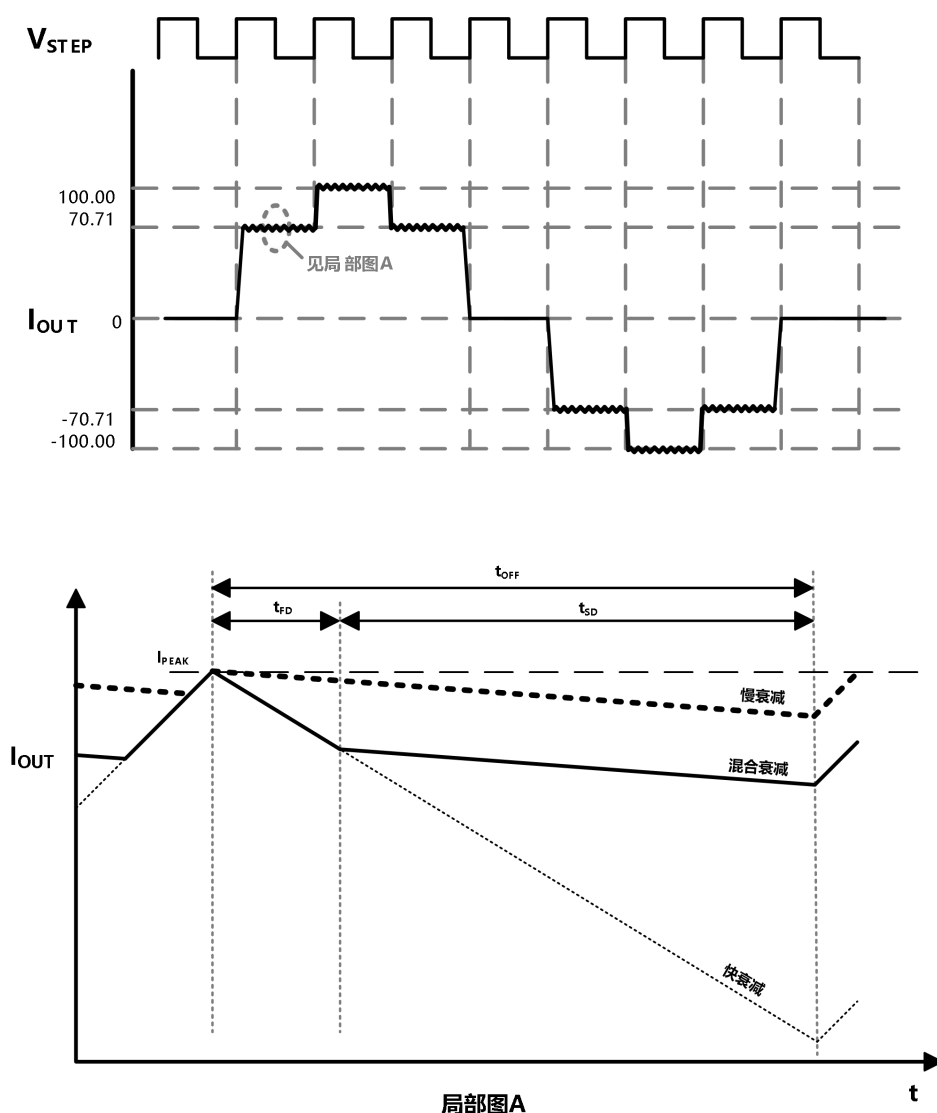
输出短路和对地短路保护: 如果两电机输出管脚短接或者任一输出管脚对地短路, 驱动器会通过检测这一过流事件, 然后禁能短路的输出, 这样事器件免于烧毁。当对地短路发生时, 驱动器会一直保持禁能, 直到 SLEEP 进入高电平或者 VDD 被去除。图 4 为对地短路过流现象。

当两个输出短接在一起, 电流通路经过检测电阻, 经过一个消隐时间 (约 1us), 由于过流现象存在, 检测电阻端电压会超过最大电压。这样会使驱动器进入固定衰减模式。经过一个固定衰减时间后, 器件又会重新开始



保护。在这种情况下，器件的过流现象就会被彻底保护，但是短路还是会重复出现的，依据固定衰减周期。图5表明了这种情况。

当负载短路发生时，由于混合衰减的作用，在电流换向的时候，很容易观察到一个正向或者反向的尖峰电流。图6显示了这种情况。在这两种情况下，过流保护电路保护驱动器免于受烧毁。



符号	性质
t_{off}	器件固定关断时间
I_{PEAK}	最大输出电流
t_{SD}	慢衰减区间
t_{FD}	快衰减区间
I_{OUT}	器件输出电流



电路应用信息

版图注意事项: PCB 板上应覆设大块的散热片, 地线的连接应有很宽的地线覆线。为了优化电路的电特性和热参数性能, 芯片应该直接紧贴在散热片上。

对电极电源 VBB, 应该连接不小于 47uF 的电解电容对地耦合, 电容应尽可能的靠近器件摆放。

为了避免因高速 dv/dt 变换引起的电容耦合问题, 驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。逻辑控制端的引线应采用低阻抗的走线以降低热阻引起的噪声。

地线设置: AGND 和 PGND 的连线必须在芯片外部短接。所有的地线都应连接在一起, 且连线还应改尽可能的短。一个位于器件下的星状发散的地线覆设, 将是一个优化的设计。

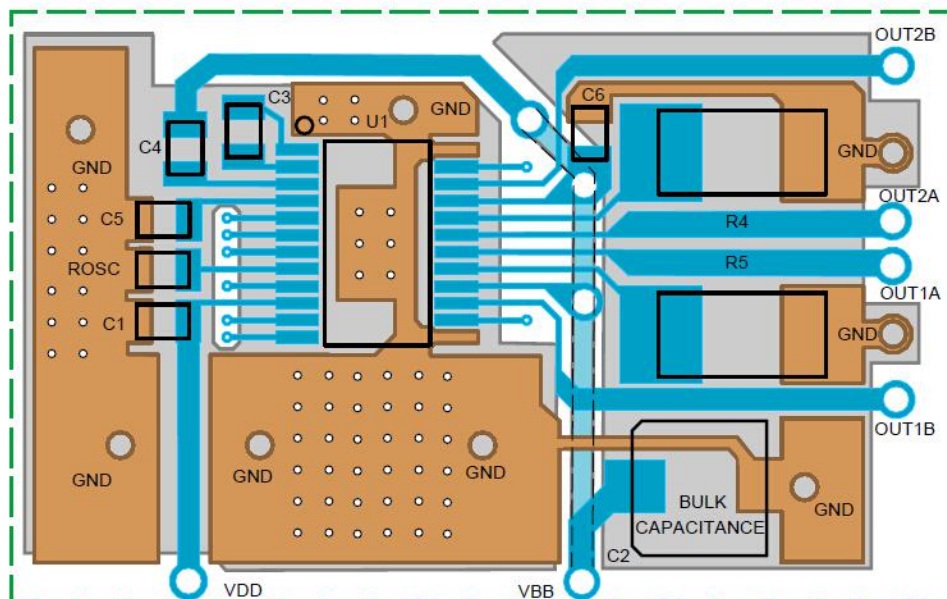
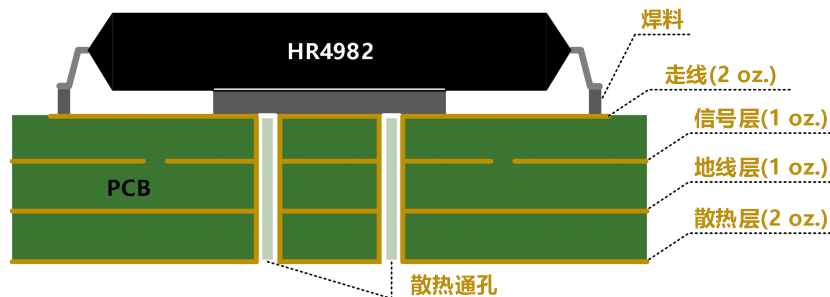
在覆设的地线下方增加一个铜散热片会更好的优化电路性能。

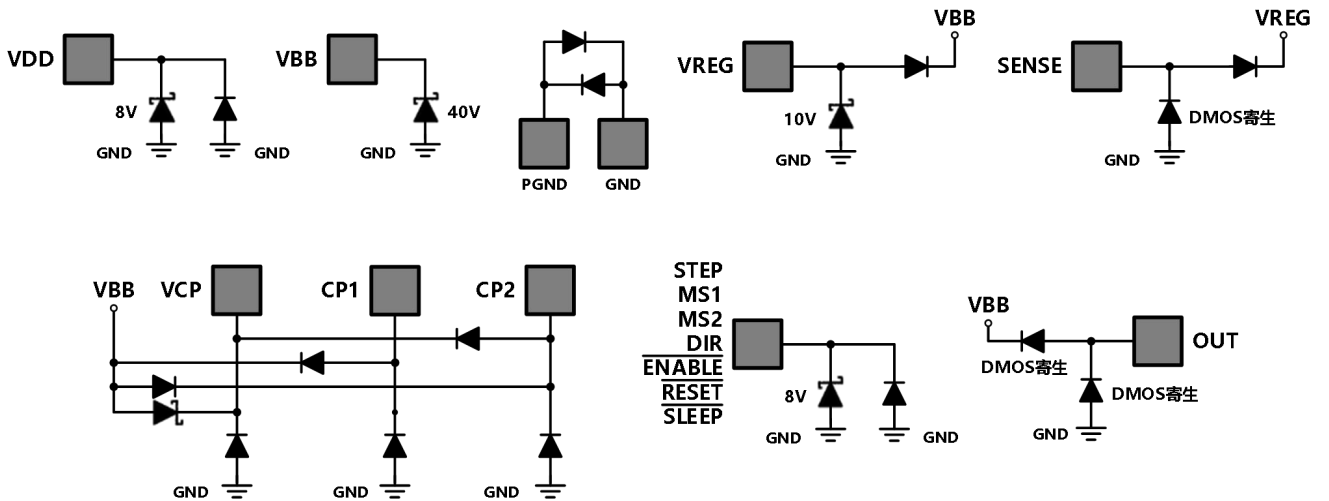
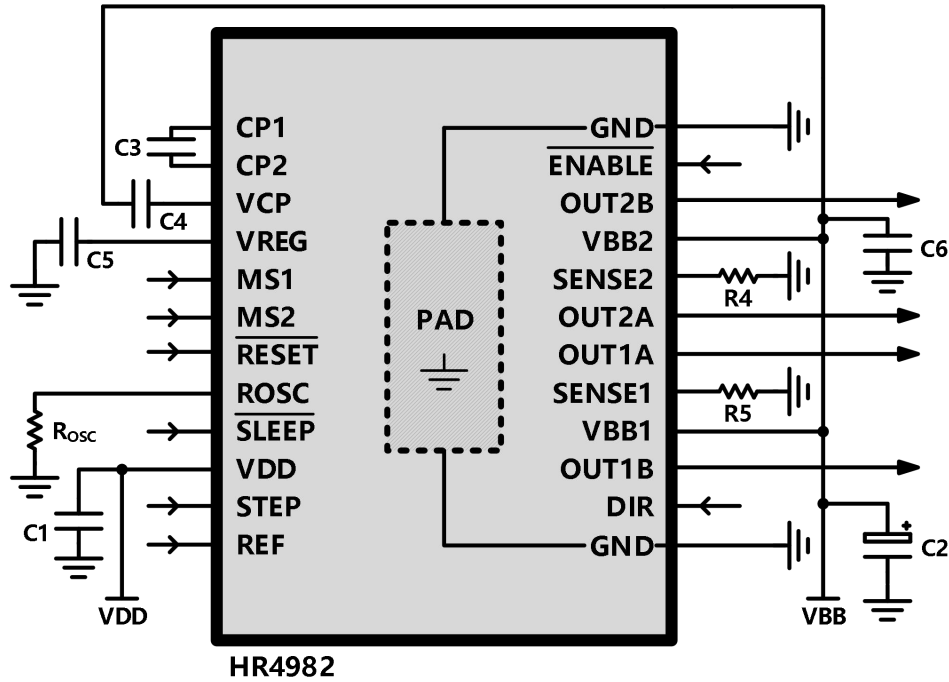
电流取样设置: 为了减小因为地线上的寄生电阻引起的误差, 马达电流的取样电阻 RS 接地的地线要单独设置, 减小其他因素引起的误差。单独的地线最终要连接到星状分布的地线总线上, 该连线要尽可能的短, 对小阻值的 Rs, 由于 Rs 上的压降 $V=I*Rs$ 小于 0.5V, PCB 上的连线压降与 0.5V 的电压将显得不可忽视, 这一点要考虑进去。

PCB 尽量避免使用测试转接插座, 测试插座的连接电阻可能会改变 Rs 的大小, 对电路造成误差。Rs 值的选择遵循下列公式:

$$R_s = 0.5 / I_{TRIP\ max}$$

热保护: 当内部电路结温超过 165°C 时, 过温模块开始工作, 关断内部多有驱动电路。过温保护电路只保护电路温度过高产生的问题, 而不应对输出短路的情况产生影响。热关断的阈值窗口大小为 15°C。

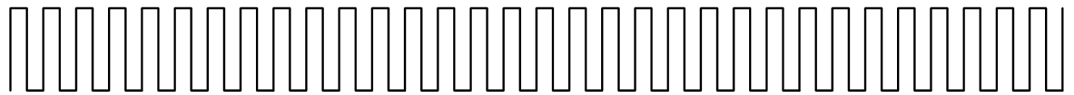




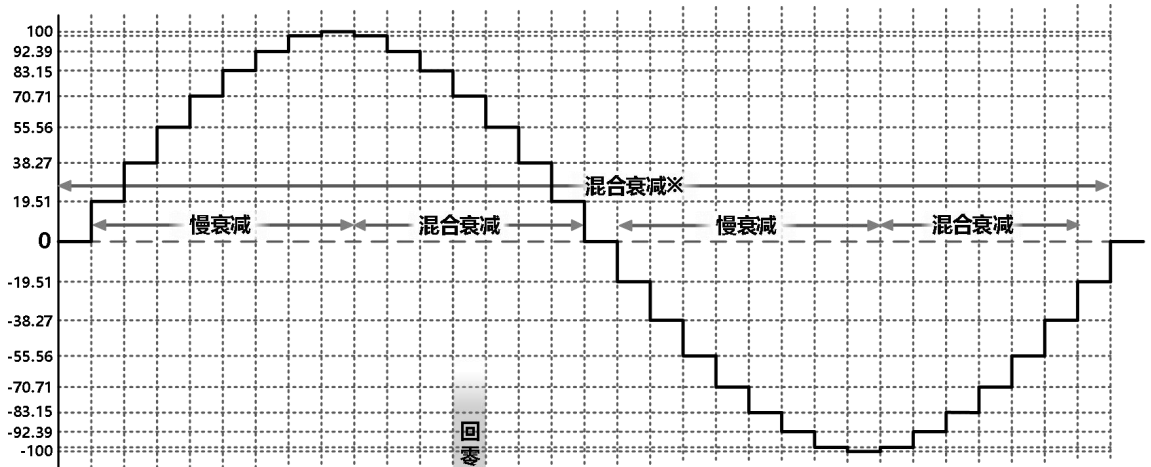
管脚电路图示



STEP

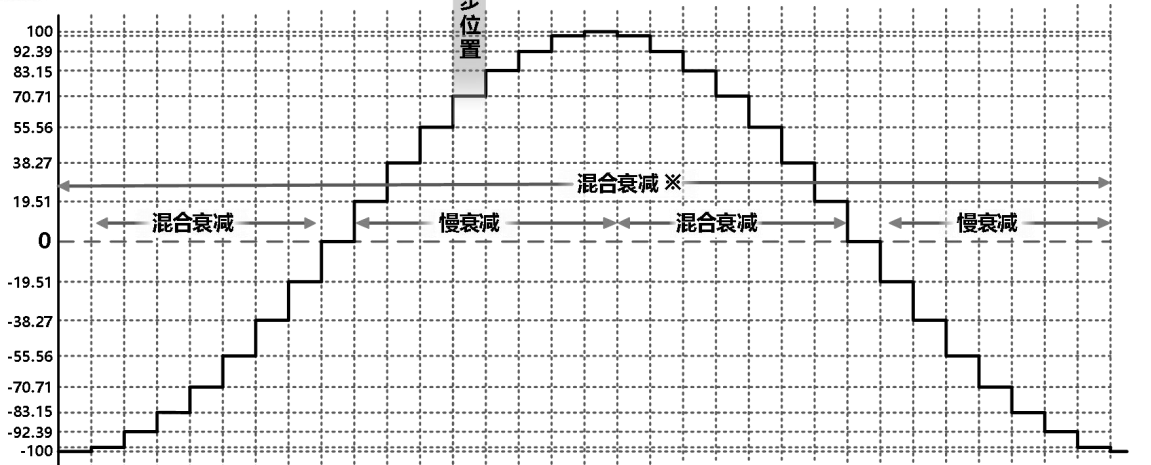


1相 I_{OUT1A} (%) 方向:DIR=H



*ROSC引脚接地

2相 I_{OUT2B} (%) 方向:DIR=H



*ROSC 引脚接地

八细分增量衰减模式

微步进相序表

Home microstep position at Step Angle 45°; DIR = H

1/16	1/8	full	1相电流 [% I _{tripMax}] (%)	2相电流 [% I _{tripMax}] (%)	步进角(°)
1	1		100.0	0.0	0.00
2			99.5	9.8	5.63
3	2		98.1	19.5	11.25
4			95.7	29.0	16.88
5	3		92.4	38.3	22.50
6			88.2	47.1	28.13
7	4		83.1	55.6	33.75
8			77.3	63.4	39.38



9	5	1	70.7	70.7	45.00
10			63.4	77.3	50.63
11	6		55.6	83.1	56.25
12			47.1	88.2	61.88
13	7		38.3	92.4	67.50
14			29.0	95.7	73.13
15	8		19.5	98.1	78.75
16			9.8	99.5	84.38
17	9		0.0	100.0	90.00
18			-9.8	99.5	95.63
19	10		-19.5	98.1	101.25
20			-29.0	95.7	106.88
21	11		-38.3	92.4	112.50
22			-47.1	88.2	118.13
23	12		-55.6	83.1	123.75
24			-63.4	77.3	129.38
25	13	2	-70.7	70.7	135.00
26			-77.3	63.4	140.63
27	14		-83.1	55.6	146.25
28			-88.2	47.1	151.88
29	15		-92.4	38.3	157.50
30			-95.7	29.0	163.13
31	16		-98.1	19.5	168.75
32			-99.5	9.8	174.38
33	17		-100.0	0.0	180.00
34			-99.5	-9.8	185.63
35	18		-98.1	-19.5	191.25
36			-95.7	-29.0	196.88
37	19		-92.4	-38.3	202.50
38			-88.2	-47.1	208.13
39	20		-83.1	-55.6	213.75
40			-77.3	-63.4	219.38
41	21	3	-70.7	-70.7	225.00

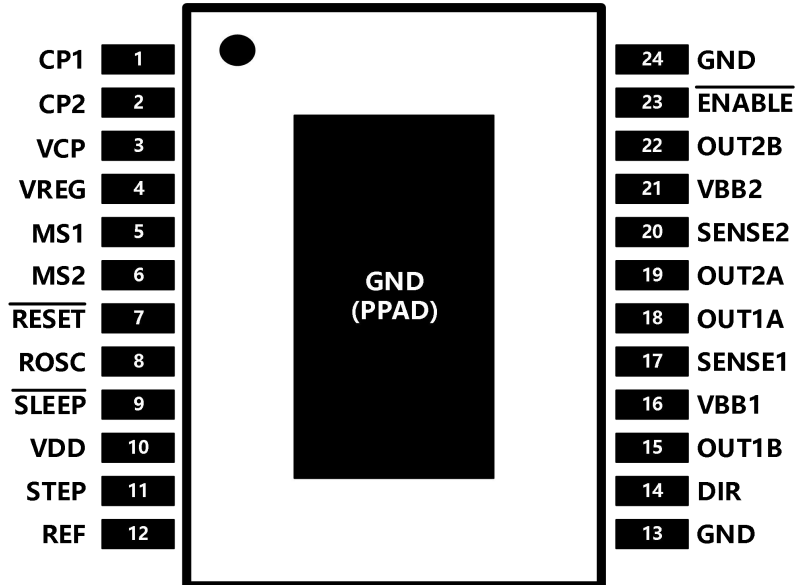


42			-63.4	-77.3	230.63
43	22		-55.6	-83.1	236.25
44			-47.1	-88.2	241.88
45	23		-38.3	-92.4	247.50
46			-29.0	-95.7	253.13
47	24		-19.5	-98.1	258.75
48			-9.8	-99.5	264.38
49	25		0.0	-100.0	270.00
50			9.8	-99.5	275.63
51	26		19.5	-98.1	281.25
52			29.0	-95.7	286.88
53	27		38.3	-92.4	292.50
54			47.1	-88.2	298.13
55	28		55.6	-83.1	303.75
56			63.4	-77.3	309.38
57	29	4	70.7	-70.7	315.00
58			77.3	-63.4	320.63
59	30		83.1	-55.6	326.25
60			88.2	-47.1	331.88
61	31		92.4	-38.3	337.50
62			95.7	-29.0	343.13
63	32		98.1	-19.5	348.75
64			99.5	-9.8	354.38



引脚定义

TOP VIEW



TSSOP24

管脚列表

TSSOP24	名称	管脚描述
1	CP1	电荷泵飞电容端1
2	CP2	电荷泵飞电容端2
3	VCP	电荷泵储能端
4	VREG	整流滤波端
5	MS1	细分选择输入1
6	MS2	细分选择输入2
7	\RESET	复位输入，低电平有效
8	ROSC	衰减时间调整端
9	\SLEEP	休眠输入，低有效
10	VDD	逻辑电源输入
11	STEP	STEP输入
12	REF	参考电压输入

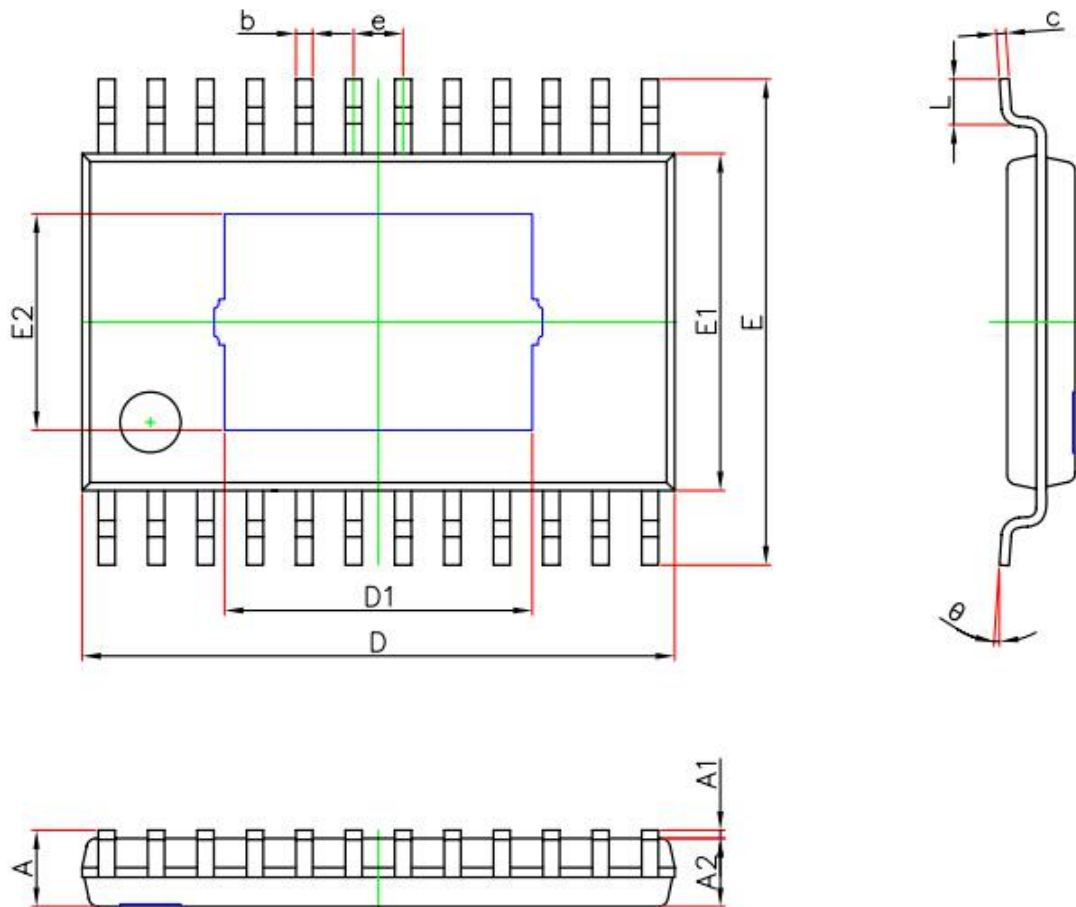


13,24	GND	地
14	DIR	DIR输入
15	OUT1B	全桥1输出B端
16	VBB1	全桥1功率电源
17	SENSE1	全桥1 检流电阻端
18	OUT1A	全桥1输出A端
19	OUT2A	全桥2输出A端
20	SENSE2	全桥2检流电阻端
21	VBB2	全桥2功率电源
22	OUT2B	全桥2输出B端
23	\ENABLE	使能输入, 低有效
-	PAD	散热裸焊盘

*GND管脚必须通过接至器件背面的PAD地线在外部连接在一起



TSSOP 24 with exposed thermal pad



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	—	1.200	—	0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.050	0.031	0.041
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D	7.700	7.900	0.303	0.311
D1	3.950	4.150	0.156	0.163
E	6.250	6.550	0.246	0.258
E1	4.300	4.500	0.169	0.177
E2	2.750	2.950	0.108	0.116
e	0.650(BSC)		0.026(BSC)	
L	0.450	0.750	0.018	0.030
θ	0°	8°	0°	8°